

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 5 月 4 日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046461 A1(51) 国際特許分類:
H05K 3/46 (2006.01)

(21) 国際出願番号: PCT/JP2005/019286

(22) 国際出願日: 2005 年 10 月 20 日 (20.10.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2004-317313
2004 年 10 月 29 日 (29.10.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社 村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 近川 修 (CHIKAGAWA, Osamu) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社 村田製作所内 Kyoto (JP). 酒井 範夫 (SAKAI, Norio) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社 村田製作所内 Kyoto (JP).

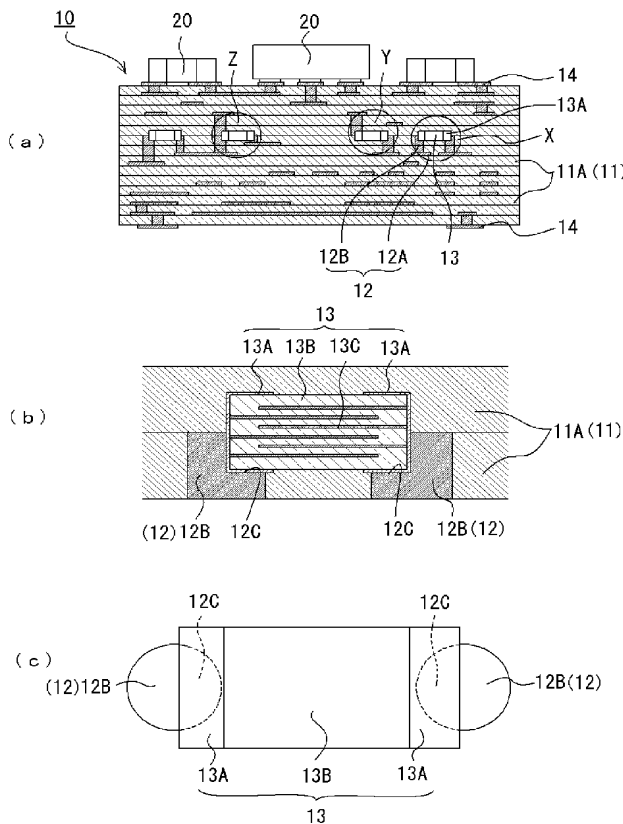
(74) 代理人: 小原 肇 (OHARA, Hajime); 〒2220033 神奈川県横浜市港北区新横浜 2 丁目 1 4 番地 1 4 新弘ビル 5 階 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR,

/ 続葉有 /

(54) Title: MULTILAYER SUBSTRATE INCORPORATING CHIP TYPE ELECTRONIC COMPONENT AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: チップ型電子部品を内蔵した多層基板及びその製造方法



(57) Abstract: In the case of the prior art describe in patent document 1, a sintered body plate is not properly aligned with an inner conductor film to cause positional deviation, and a faulty connection with the sintered body plate may result when only a very poor connection is made between the sintered body plate and the inner conductor film. A multilayer substrate (10), incorporating a chip type electronic component, comprises a ceramic laminate (11) formed by laminating a plurality of ceramic layers (11A), a chip type electronic component (13) buried in the ceramic laminate (11) and having an external-terminal electrode (13A), and a via conductor (12B) provided to the ceramic layer (11A) in its laminating direction, wherein the external-terminal electrode (13A) of the chip type electronic component (13) is connected with the via conductor (12B), and a connecting connection step (12C) is formed on at least one end face of the upper and lower end faces of the via conductor (12B).

(57) 要約: 特許文献 1 に記載の従来の技術の場合には、焼結体プレートと内部導体膜との位置合わせが悪く、位置ズレがあって、焼結体プレートが内部導体膜と僅かしか繋がっていないと、焼結体プレートとの接続不良を招く虞があった。本発明のチップ型電子部品を内蔵した多層基板 10 は、複数のセラミック層 11A が積層されてなるセラミック積層体 11 と、このセラミック積層体 11 内に埋設され且つ外部端子電極 13A を有するチップ型電子部品 13 と、を備え、セラミック層 11A に、その積層方向にビア導体 12B を設けたものであって、チップ型電子部品 13 の外部端子電極

13A は、ビア導体 12B に接続されており、且つ、ビア導体 12B の上下の端面のうち、少なくとも一方の端面に接続用の接続段部 12C が形成されている。

WO 2006/046461 A1



LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

チップ型電子部品を内蔵した多層基板及びその製造方法

技術分野

- [0001] 本発明は、チップ型電子部品を内蔵した多層基板及びその製造方法に関するものである。

背景技術

- [0002] 従来のこの種の技術としては特許文献1に記載の多層セラミック基板およびその製造方法がある。特許文献1に記載された多層セラミック基板及びその製造方法の場合には、セラミック機能素子を予め焼成して得られたプレート状の焼結体プレートをもって、コンデンサ素子、インダクタ素子及び抵抗素子等の機能素子を作製しておき、これらの機能素子を未焼結複合積層体内の内部導体膜やビアホール導体に接続して内蔵させる。未焼結複合積層体は、基体用グリーン層と、難焼結性材料を含む拘束層と、配線導体とを備えており、これを焼成した時、拘束層の作用により、基体用グリーン層は主面方向での収縮が抑制される。この技術では拘束層を用いた無収縮工法によって焼成するため、機能素子を内蔵した状態で未焼結複合積層体を問題なく焼成することができると共に、焼結体プレートからなる機能素子と基体用グリーン層との間で成分の相互拡散が生じず、機能素子の特性が焼成後も維持される。
- [0003] 特許文献1に記載の多層セラミック基板の場合、焼結体プレートをセラミック多層基板内に内蔵させるために、焼結体プレートをセラミックグリーンシートに形成された導電性ペーストからなる内部導体膜等の導体パターンに接着した後、他のセラミックグリーンシートを重ねて圧着することによってセラミックグリーン積層体を作製する。

- [0004] 特許文献1:特開2002-084067号公報

発明の開示

発明が解決しようとする課題

- [0005] しかしながら、特許文献1に記載の従来の技術の場合には、焼結体プレートと内部導体膜との位置合わせが悪く、位置ズレがあつて、焼結体プレートが内部導体膜と僅かしか繋がっていないと、焼結体プレートとの接続不良を招く虞があつた。

[0006] 尚、表面実装部品を基板の表面電極にはんだ実装する場合にはリフロー時に表面実装部品のセルフアライメントが働き上述のような問題を生じないが、焼結体プレートを内蔵させる場合にはセルフアライメント機能が働かないため、焼結体プレートの位置合わせが悪いと、その実装精度がそのまま反映され、位置ズレを補正することができない。従って、焼結体プレートを内蔵させるためには、内部導体膜の焼結体プレートとの接続部(電極パッド)を基板の表面電極より大きくしなければ接続信頼性を得られなかった。また、内部導体膜の電極パッドを大きくすると配線密度が低下し、セラミック多層基板の小型化ができなくなるという課題があった。

[0007] 本発明は、上記課題を解決するためになされたもので、内蔵チップ型電子部品と内部導体との接続信頼性を格段に高めることができるチップ型電子部品を内蔵した多層基板及びその製造方法を提供することを目的としている。

課題を解決するための手段

[0008] 本発明の請求項1に記載のチップ型電子部品を内蔵した多層基板は、複数の誘電体層が積層されてなる積層体と、この積層体内に埋設され且つ端子電極を有するチップ型電子部品と、を備え、上記誘電体層に、その積層方向にビア導体を設けた、チップ型電子部品を内蔵した多層基板であって、上記チップ型電子部品の端子電極は、上記ビア導体の上下の端面のうち、少なくともいずれか一方の端面に接続されており、且つ、上記ビア導体に接続段部が形成されていることを特徴とするものである。

[0009] また、本発明の請求項2に記載のチップ型電子部品を内蔵した多層基板は、請求項1に記載の発明において、上記誘電体層はセラミック層であり、上記積層体は複数の上記セラミック層が積層されてなるセラミック積層体であって、上記チップ型電子部品は、セラミック焼結体を素体とするものであることを特徴とするものである。

[0010] また、本発明の請求項3に記載のチップ型電子部品を内蔵した多層基板は、請求項2に記載の発明において、上記セラミック層は、低温焼結セラミック材料によって形成され、且つ、上記ビア導体は、銀または銅を主成分とする導体材料によって形成されていることを特徴とするものである。

[0011] また、本発明の請求項4に記載のチップ型電子部品を内蔵した多層基板の製造方法は、ビア導体を有する誘電体層の上に、端子電極を有するチップ型電子部品の端

子電極を上記ビア導体と接するように配置する工程と、上記チップ型電子部品が配置された誘電体層と他の誘電体層とを重ね合わせて、上記チップ型電子部品が内蔵された積層体を形成する工程と、を備えたことを特徴とするものである。

[0012] また、本発明の請求項5に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項4に記載の発明において、上記誘電体層をセラミックグリーン体とし、上記チップ型電子部品を、セラミック焼結体を素体とするものとし、このチップ型電子部品が配置されたセラミックグリーン体を他のセラミックグリーン体と共に重ね合わせて、上記チップ型電子部品が内蔵されたセラミックグリーン積層体を形成し、このセラミックグリーン積層体を焼成すること特徴とするものである。

[0013] また、本発明の請求項6に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項5に記載の発明において、上記他のセラミックグリーン体は、上記チップ型電子部品の端子電極と接するビア導体を有すること特徴とするものである。

[0014] また、本発明の請求項7に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項5または請求項6に記載の発明において、上記セラミックグリーン体を低温焼結セラミック材料によって形成する工程と、上記セラミックグリーン積層体の内部に銀または銅を主成分とする導体パターンを形成する工程と、を備えたこと特徴とするものである。

[0015] また、本発明の請求項8に記載のチップ型電子部品を内蔵した多層基板の製造方法は、請求項5～請求項7のいずれか1項に記載の発明において、上記セラミックグリーン積層体の内部または表面に、上記セラミックグリーン体の焼結温度では実質的に焼結しない難焼結性粉末からなる収縮抑制層を付与する工程を備えたこと特徴とするものである。

発明の効果

[0016] 本発明の請求項1～請求項8に記載の発明によれば、内蔵チップ型電子部品と内部導体との接続信頼性を格段に高めることができるチップ型電子部品を内蔵した多層基板及びその製造方法を提供することができる。

図面の簡単な説明

[0017] [図1](a)～(c)はそれぞれ本発明のチップ型電子部品を内蔵した多層基板の一実

施形態であるセラミック多層基板を示す図で、(a)はその全体を示す断面図、(b)は(a)の要部を拡大して示す断面図、(c)は(b)の平面図である。

[図2](a)、(b)はそれぞれ本発明のチップ型電子部品を内蔵した多層基板の他の実施形態の要部を示す図で、それぞれ図1の(c)に相当する平面図である。

[図3](a)～(c)はそれぞれ図1に示すセラミック多層基板の製造工程の要部を示す工程図で、(a)はセラミックグリーンシートを示す断面図、(b)は(a)に示すセラミックグリーンシートにチップ型電子部品を載置する状態を示す断面図、(c)は(b)に示すセラミックグリーンシートと他のセラミックグリーンシートを積層する状態を示す断面図である。

[図4](a)～(c)はそれぞれ図2に示す製造工程に続く工程図で、(a)は焼成前の圧着体を示す断面図、(b)は焼成後のセラミック多層基板を示す断面図、(c)は(b)に示すセラミック多層基板にチップ型電子部品を搭載した状態を示す断面図である。

[図5](a)、(b)は図1に示すセラミック多層基板のチップ型電子部品の実装位置の位置ズレを説明するための断面図で、(a)は位置ズレのない状態を示す図、(b)は位置ズレのある状態を示す図である。

[図6]本発明のチップ型電子部品を内蔵した多層基板の更に他の実施形態の要部を拡大して示す断面図である。

符号の説明

- [0018] 10 セラミック多層基板(多層基板)
- 11 セラミック積層体(積層体)
- 11A セラミック層(誘電体層)
- 12 内部導体パターン
- 12B ビア導体
- 12C 接続段部
- 13、113 チップ型電子部品
- 13A、113A 外部端子電極(端子電極)
- 111 セラミックグリーン積層体
- 111A セラミックグリーンシート(セラミックグリーン体)

116 拘束層(収縮抑制層)

発明を実施するための最良の形態

[0019] 以下、図1～図6に示す実施形態に基づいて本発明を説明する。

[0020] 本実施形態のチップ型電子部品を内蔵した多層基板10は、例えば図1の(a)に示すように、複数のセラミック層11Aが積層され且つ内部導体パターン12が形成されたセラミック積層体11と、上下のセラミック層11Aの界面に複数配置され、セラミック焼結体を素体とし且つその両端部に外部端子電極13Aを有するチップ型電子部品13と、を備え、セラミック多層基板として構成されている。また、セラミック積層体11の両主面(上下両面)にはそれぞれ表面電極14、14が形成されている。そこで、以下では、チップ型電子部品を内蔵した多層基板10をセラミック多層基板10として説明する。

[0021] 図1の(a)に示すようにセラミック積層体11の上面には表面電極14を介して複数の表面実装部品20が実装されている。表面実装部品20としては、半導体素子、ガリウム砒素半導体素子等の能動素子やコンデンサ、インダクタ、抵抗等の受動素子等が半田や導電性樹脂を介して、あるいはAu、Al、Cu等のボンディングワイヤーを介してセラミック積層体11上面の表面電極14に電氣的に接続されている。チップ型電子部品13と表面実装部品20は、表面電極14及び内部導体パターン12を介して互いに電氣的に接続されている。このセラミック多層基板10は下面の表面電極14を介してマザーボード等の実装基板に実装することができる。

[0022] 而して、セラミック積層体11を構成するセラミック層11Aの材料は、セラミック材料であれば特に制限されないが、特に低温焼結セラミック(LTCC:Low Temperature C o-fired Ceramic)材料が好ましい。低温焼結セラミック材料とは、1050℃以下の温度で焼結可能であって、比抵抗の小さな銀や銅等と同時焼成が可能なセラミック材料である。低温焼結セラミック材料としては、具体的には、アルミナやフォルスステライト等のセラミック粉末にホウ珪酸系ガラスを混合してなるガラス複合系LTCC材料、 $\text{ZnO}-\text{MgO}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系の結晶化ガラスを用いた結晶化ガラス系LTCC材料、 $\text{BaO}-\text{Al}_2\text{O}_3-\text{SiO}_2$ 系セラミック粉末や $\text{Al}_2\text{O}_3-\text{CaO}-\text{SiO}_2-\text{MgO}-\text{B}_2\text{O}_3$ 系セラミック粉末等を用いた非ガラス系LTCC材料等が挙げられる。

- [0023] セラミック積層体11の材料として低温焼結セラミック材料を用いることによって、内部導体パターン12及び表面電極14にAgまたはCu等の低抵抗で低融点をもつ金属を用いることができ、セラミック積層体11と内部導体パターン12とを1050℃以下の低温で同時焼成することができる。
- [0024] また、セラミック材料として、高温焼結セラミック(HTCC:High Temperature Co-fired Ceramic)材料を使用することができる。高温焼結セラミック材料としては、例えば、アルミナ、窒化アルミニウム、ムライト、その他の材料にガラスなどの焼結助材を加え、1100℃以上で焼結されるものが用いられる。このとき、内部導体パターン12及び表面電極14としては、モリブデン、白金、パラジウム、タングステン、ニッケル及びこれらの合金から選択される金属を使用することができる。
- [0025] セラミック積層体11は、図1の(a)に示すように、その内部に形成された内部導体パターン12と、その上下両面に形成された表面電極14、14とを有している。内部導体パターン12は、上下のセラミック層11Aの界面に沿って所定のパターンで形成された面内導体12Aと、上下の面内導体12Aを接続するように所定のパターンでセラミック層11Aをその積層方向に貫通して、例えば円柱状に形成されたビア導体12Bとから構成されている。
- [0026] チップ型電子部品13は、図1の(a)、(b)に示すように、上下のセラミック層11A、11Aの界面に配置され、その外部端子電極13Aがビア導体12Bの上下の端面のうち、少なくともどれか一方の端面に直接的に接続されている。チップ型電子部品13はビア導体12Bに対して複数の接続パターンで接続されている。即ち、本実施形態では、チップ型電子部品13は、同図の(a)において○で囲んだ部分に示すように、X、Y、Zの3つの接続パターンでビア導体12Bに接続されている。
- [0027] まず、Xの接続パターンについて、図1の(b)、(c)をも参照しながら説明する。チップ型電子部品13の左右一対の外部端子電極13Aは、図1の(a)～(c)に示すように、チップ型電子部品13の下面に接触するセラミック層11Aに形成された左右一対のビア導体12B、12Bに接続されている。これら一対のビア導体12B、12Bの上端面にはそれぞれ段部(以下、「接続段部」と称す。)12C、12Cが互いに対向して形成され、これらの接続段部12C、12Cに対して外部端子電極13A、13Aが密着して接続

されている。接続段部12Cは、ビア導体12Bの上端面の半分を切り欠いたように形成されて、断面形状がL字状を呈している。従って、チップ型電子部品13の外部端子電極13A、13Aは、それぞれの端部の略下半分が互いに対向する接続段部12C、12Cの垂直壁面と底面との二面を介してそれぞれのビア導体12B、12Bに接続されている。即ち、矩形状のチップ型電子部品13は、その端面及び底面の少なくとも二面でビア導体12Bに接続されている。尚、図1の(b)において、チップ型電子部品13は、素体としてセラミック焼結体13Bとして積層セラミックコンデンサが示されており、内部電極13Cを有している。

[0028] また、Yの接続パターンでは、チップ型電子部品13は、一方(図1の(a)では右方)の外部端子電極13Aが下側のセラミック層11Aに形成されたビア導体12Bの接続段部12Cに接続され、他方(同図では左方)の外部端子電極13Aが上側のセラミック層11Aに形成されたビア導体12Bの接続段部12Cに接続されている。右方のビア導体12Bは、図1の(b)に示す右方のビア導体12Bと同一形態で形成されている。左方のビア導体12Bは、その接続段部12Cがビア導体12Bの下端面に形成されている。左右のビア導体12B、12Bの接続段部12C、12Cは、それぞれの外部端子電極13A、13Aとの接続面が互いに対向し、且つ、これら両者はチップ型電子部品13に対して180°回転した位置関係にある。このような接続パターンの場合、それぞれの外部端子電極13Aに接続されるビア導体12Bの距離が離れるため、ビア導体12Bの狭ピッチ化、つまりはチップ型電子部品13の小型化に対応することができると共に、各ビア導体12B、12B間のアイソレーションを十分に確保することができる。

[0029] また、Zの接続パターンでは、チップ型電子部品13は、一方(図1の(a)では右方)の外部端子電極13Aが下側のセラミック層11Aに形成されたビア導体12Bの接続段部12Cに接続され、他方(同図では左方)の外部端子電極13Aが上下両側のセラミック層11A、11Aにそれぞれ連続して形成されたビア導体12B、12Bの上下の接続段部12C、12Cに挟持された状態で接続されている。右方のビア導体12Bは、Xの接続パターンにおける右方のビア導体12Bと同一形態で形成されている。左方のビア導体12B、12Bのうち、下側のビア導体12Bは、Xの接続パターンにおける左方のビア導体12Bと同一の形態で形成され、上側のビア導体12Cは、Yの接続パターン

の左方のビア導体12Cと同一の形態で形成されている。このような接続パターンの場合、外部端子電極13Aとビア導体12Bとの接続信頼性を更に向上させることができる。

[0030] チップ型電子部品13が接続されるビア導体12Bは、図1の(a)～(c)に示す形態に限らず、例えば図2の(a)、(b)に示す形態を有するものであっても良い。

[0031] 図2の(a)に示すビア導体12'Bは、その平面形状が長円形に形成され、その長軸がチップ型電子部品13の幅方向よりも多少長く形成されている。そして、チップ型電子部品13の外部端子電極13Aは、その端面がビア導体12'Bの長軸に一致するように配置され、ビア導体12'Bの上端面に形成された接続段部12'Cに密着して接続されている。この接続段部12'Cは、同図の(a)からも推定されるように、外部端子電極13Aの端面、両側面及び底面に対応する3つの垂直壁面及び底面を有し、4面で外部端子電極13Aに接続されている。もっとも、3つの垂直壁面は、図1に示した場合と同様に外部端子電極13Aの略下半分に接合している。従って、このビア導体12'Bは、図1に示す場合よりも外部端子電極13Aとの接触面積が大きいので、接続信頼性をより高めることができる。

[0032] また、図2の(b)に示すビア導体12''Bは、図1に示すビア導体12Bと同様に円柱状に形成され、その外径が図1に示す場合よりもやや小径に形成されている。チップ型電子部品13の一方の外部端子電極13Aは、離間して配置された2つのビア導体12''B、12''Bに形成された接続段部12''C、12''Cにそれぞれ密着して接続されている。2つのビア導体12''B、12''Bは、それぞれの中心を通る直線がチップ型電子部品13の外部端子電極13Aの端面と略一致し、しかもチップ型電子部品13の軸心を挟んで対称になるように配置されている。一方のビア導体12''Bの接続段部12''Cは、同図の(b)からも推定されるように、外部端子電極13Aの端面、片側面及び底面に対応する2つの垂直壁面及び底面を有し、3面で外部端子電極13Aの端部の半分側に接続されている。他方のビア導体12''Bは、同様に3面で外部端子電極13Aの端部の残り半分側に接続されている。従って、このビア導体12''Bは、図1に示す場合と図2の(a)に示す場合との中間の程度の接触面積で外部端子電極13Aに接続され、接続信頼性を高めている。

[0033] 而して、チップ型電子部品13としては、特に制限されないが、例えばチタン酸バリウムやフェライト等の1200℃以上で焼成されたセラミック焼結体を素体としたもの、例えば図1の(b)に示す積層セラミックコンデンサの他、インダクタ、フィルタ、バラン、カップラ等のチップ型電子部品を用いることができ、これらのチップ型電子部品を目的に応じて単数あるいは複数適宜選択して用いることができる。チップ型電子部品13は、図1の(a)に示す場合には、同一セラミック層11A上に並べて複数配置されているが、チップ型電子部品13は、必要に応じて上下のセラミック層11A、11Aの界面のいずれの場所にも配置することができる。また、チップ型電子部品13は、上下の異なる複数の界面に渡って複数積層して配置しても良い。それぞれの複数のチップ型電子部品13は、目的に応じて、ビア導体12Bの接続段部12Cを介して互いに直列及び／または並列に接続して、セラミック多層基板10の多機能化、高性能化を実現することができる。

[0034] 次いで、図3～図5を参照しながらセラミック多層基板10の製造方法について説明する。

本実施形態では無収縮工法を用いてセラミック多層基板10を作製する場合について説明する。無収縮工法とは、セラミック積層体11としてセラミック材料を用いた場合にセラミック積層体の焼成前後でセラミック積層体の平面方向の寸法が実質的に変化しない工法のことを云う。

[0035] 本実施形態ではまず、例えば低温焼結セラミック材料を含むスラリーを用いて、セラミックグリーンシートを所定枚数作製する。また、図3の(a)、(b)に示すように、セラミック焼結体を素体とするチップ型電子部品113を搭載するためのセラミックグリーンシート111Aには所定のパターンでビアホールを形成する。これらのビアホールは、チップ型電子部品113の幅寸法よりやや小さく、他のセラミックグリーンシートに形成されるビア導体よりも大きな直径を有する円形状の貫通孔として形成することが好ましい。これらのビアホール内に例えばAgまたはCuを主成分とする導電性ペーストを充填してビア導体部112Bを形成する。更に、スクリーン印刷法を用いて同種の導電性ペーストをセラミックグリーンシート111A上に所定のパターンで塗布して、表面電極部114(図3の(c)参照)を形成し、表面電極部114とビア導体部112Bとを適直接続

したセラミックグリーンシート111Aを作製する。その他の面内導体部112A及び／またはビア導体部112Bを有するセラミックグリーンシート111Aもこれと同一要領で作製する。尚、ビアホールは、図2の(a)、(b)に示すビア導体12Bを形成する貫通孔として形成することもできる。

[0036] 尚、焼成時のチップ型電子部品については符号「113」を附し、焼成後の降温時以降のチップ型電子部品については符号「13」を附して説明する。

[0037] 次いで、チップ型電子部品113が配置されるセラミックグリーンシート111Aの上面には、スプレー等を用いて面内導体部112Aに有機系接着剤を塗布または噴霧して有機系接着剤層(図示せず)を形成した後、図3の(b)に示すように、チップ型電子部品113の外部端子電極部113A、113Aをセラミックグリーンシート111Aのビア導体部112Bに位置合わせし、チップ型電子部品113をセラミックグリーンシート111A上に搭載し、チップ型電子部品113の外部端子電極部113Aを、有機系接着剤層を介してビア導体部112B上に接合、固定する。尚、有機系接着剤としては、合成ゴムや合成樹脂と可塑剤を加えた混合物などを使用することができる。また、有機系接着剤層の厚みは、塗布の場合には $3\mu\text{m}$ 以下、噴霧の場合には $1\mu\text{m}$ 以下が好ましい。

[0038] その後、図3の(c)に示すように面内導体部112A及び／またはビア導体部112Bを有するセラミックグリーンシート111Aとチップ型電子部品113が搭載されたセラミックグリーンシート111Aとを所定の順序で拘束層116上に積層し、最上層の表面電極部114を有するセラミックグリーンシート111Aを積層して、拘束層116上にセラミックグリーン積層体111を形成する。更に、このセラミックグリーン積層体111の上面に拘束層116を積層し、上下の拘束層116を介してセラミックグリーン積層体111を所定の温度及び圧力で熱圧着して、図4の(a)に示す圧着体110を得る。拘束層116としては、セラミックグリーン積層体111の焼結温度では焼結しない難焼結性粉末(例えば Al_2O_3 等のように焼結温度の高いセラミック粉末)、具体的には Al_2O_3 を主成分として含むと共に、有機バインダを副成分として含むペーストから同図に示すようにシート状に形成されたものを用いる。

[0039] ところで、チップ型電子部品113がセラミックグリーンシート111Aのビア導体部112Bの所定位置に正確に配置されている場合には、図5の(a)に示すようにチップ型電

子部品113が圧着操作によって、チップ型電子部品113は、セラミックグリーンシート111A内に沈み込む際に、左右の外部端子電極部113A、113Aを介して左右のビア導体部112B、112B上端面それぞれの内側半分ずつを均等に圧縮変形させて接続段部112C、112Cを形成しながら左右のビア導体部112B、112Bに接続される。従って、左右の外部端子電極113A、113Aは、接続段部112C、112Cと二面で接続される。

[0040] また、例えばチップ型電子部品113が所定の位置より左方に偏倚している場合には、チップ型電子部品113は、図5の(b)に示すように左方の外部端子電極部113Aが左方のビア導体部112Bと大きな接触面積をもって接触し、右方の外部端子電極部113Aがビア導体部112Bの一部に引っ掛った状態で小さな面積を持って接触し、ビア導体部112B、112Bを圧縮変形させて接続段部112C、112Cを形成しながら左右のビア導体部112B、112Bに接続される。つまり、外部端子電極部113Aがビア導体部112Bの一部に引っ掛った状態でも、ビア導体部112Bは、切断されることなく圧縮変形され外部端子電極部113Aとの接触を保ちながら変形するため、同図に示すように外部端子電極部113Aとビア導体部112Bとは確実に接続される。

[0041] 上述のように圧着体110を作製し、チップ型電子部品113を内蔵させた後、図4の(a)に示す圧着体110を例えば空気雰囲気中870℃で焼成して、図4の(b)に示すセラミック多層基板10を得る。内蔵されたチップ型電子部品113の外部端子電極部113Aとビア導体部112Bは、焼結する際にそれぞれの金属粒子が粒成長して一体化して接続される。焼成温度としては、低温焼結セラミック材料が焼結する温度、例えば800～1050℃の範囲が好ましい。焼成温度が800℃未満ではセラミックグリーン積層体111のセラミック成分が十分に焼結しない虞があり、1050℃を超えると内部導体パターン12の金属粒子が溶融してセラミックグリーン積層体111内へ拡散する虞がある。

[0042] 焼成後には、ブラスト処理や超音波洗浄処理によって上下の拘束層116を除去して、セラミック多層基板10を得ることができる。更に、図4の(c)に示すように、セラミック多層基板10の表面電極14に所定の表面実装部品20を半田等の手法で実装して最終製品を得ることができる。尚、チップ型電子部品113の外部端子電極部113A

は、導電性ペーストを塗布して焼き付けたものであっても、導電性ペーストを塗布して乾燥させて焼き付ける前のものであっても良い。

[0043] また、表面実装部品20は、図1の(a)に示すようにチップ型電子部品13と適宜組み合わせ用いられる。チップ型電子部品13と表面実装部品20とは表面電極14、内部導体パターン12を介して互いに接続されている。表面実装部品20が集積回路等の電源ノイズの影響を受けやすい部品である場合には、表面実装部品20の電源端子及び接地端子の直下近傍で積層セラミックコンデンサをチップ型電子部品13として接続することにより、集積回路等の表面実装部品20の端子配置の制約を受けることなく、また、別途マザーボードにチップ型電子部品(例えば、積層セラミックコンデンサ)を実装することなく、電源電圧の安定供給及び出力の発振防止など、高効率でノイズ除去を行うことができる。

[0044] 以上説明したように本実施形態によれば、ビア導体部112Bを有するセラミックグリーンシート111Aの上に、セラミック焼結体を素体とし且つ端子電極を有するチップ型電子部品113の外部端子電極部113Aをビア導体部112Bと接するように配置し、チップ型電子部品113が配置されたセラミックグリーンシート111Aと他のセラミックグリーンシート111Aとを重ね合わせて、チップ型電子部品113が内蔵されたセラミックグリーン積層体111を形成した後、セラミックグリーン積層体111を焼成してセラミック多層基板10を作製するため、チップ型電子部品13は、外部端子電極13Aがビア導体12Bと接続され、しかも、ビア導体12Bの端面に接続用の接続段部12Cが形成されたセラミック多層基板10を製造することができる。このセラミック多層基板10は、内蔵チップ型電子部品13の外部端子電極13Aがビア導体12の端面の接続段部12Cと接続されているため、ビア導体12Bが断線することなく外部端子電極13Aと確実に接続され、接続信頼性を格段に高めることができる。

[0045] 本実施形態によれば、チップ型電子部品13の左右の外部端子電極13Aに対して上側及び／または下側から接するビア導体12Bを有するため、種々の接続パターンでチップ型電子部品13とビア導体12Bと接続することができ、内部導体パターン12の自由度を高めることができる。更に、本実施形態によれば、セラミック層11Aは低温焼結セラミック層であるため、内部導体パターン12及び表面電極14としてAgまたは

Cu等の低抵抗で安価な金属を用いることができ、製造コストの低減に寄与することができる。

[0046] 尚、上記実施形態では、セラミック層を誘電体層としたセラミック積層体の内部に、セラミック焼結体を素体とするチップ型セラミック電子部品を備えたセラミック多層基板について説明したが、誘電体層が樹脂層であって樹脂積層体の内部にセラミック焼結体あるいは樹脂を素体とするチップ型電子部品を備えた樹脂多層基板であっても良い。

[0047] また、上記実施形態では、拘束層116をセラミックグリーン積層体111の上下両面に配置してセラミック多層基板10を作製する場合について説明したが、拘束層(収縮抑制層)はセラミックグリーン積層体の内部のセラミックグリーンシートの間に適宜介在させても良い。この場合には収縮抑制層はセラミック多層基板内に残るが、セラミックグリーンシートが焼結する際に、それぞれのガラス成分が収縮抑制層内に混入し、収縮抑制層は未焼結のセラミック材料がガラス成分によって結合、固化されたセラミック層として残る。

実施例

[0048] 実施例1

本実施例では、無収縮工法で焼成してセラミック多層基板を作製し、チップ型電子部品(積層セラミックコンデンサ)とビア導体との断線の有無を調べた。

[0049] [セラミック多層基板の作製]

セラミック多層基板を作製するには、まず、 Al_2O_3 をフィラーとし、セラミック材料としてホウ珪酸ガラスを焼結助材とする低温焼結セラミック材料を用いてスラリーを調製し、このスラリーをキャリアフィルム上に塗布して複数枚のセラミックグリーンシートを作製した。そして、一枚のセラミックグリーンシートに対してレーザー加工により直径0.3 mmのビアホールを形成した後、セラミックグリーンシートを平滑な支持台の上に密着させた状態で、Ag粉末を主成分とする導電性ペーストを、メタルマスクを用いてビアホール内に押し込むことによってビア導体部を形成した。このセラミックグリーンシートに同一の導電性ペーストをスクリーン印刷して所定のパターンで面内導体部を形成した。他のセラミックグリーンシートについても同様にしてビア導体部及び面内導体部を

形成した。

[0050] 次いで、セラミック焼結体を素体とするチップ型電子部品として積層セラミックコンデンサを用意した。この積層セラミックコンデンサは、1300℃で焼成されたセラミック焼結体(サイズ:0.6mm×0.3mm×0.3mm、内部電極: Pd、容量規格: 80pF)からなり、その両端にAgを主成分とする導電性ペーストを塗布、焼付けして外部端子電極部が形成されている。外部端子電極部にはメッキ処理が施されていない。この積層セラミックコンデンサの幅はビア導体部の直径と同一寸法に形成されている。その後、例えばスプレーを用いて所定のセラミックグリーンシート上に有機系接着剤を塗布して面内導体部に有機系接着剤層を形成した後、マウンターを用いて積層セラミックコンデンサを所定の面内導体部に合わせて搭載し、積層セラミックコンデンサを面内導体部に接合、固定した。

[0051] 本実施例では、焼成後の厚さが50 μmになる200mm×200mm角のセラミックグリーンシートを10枚積層し、複数の積層セラミックコンデンサを焼成後に基板表面から100 μm下側に位置するようにセラミックグリーン積層体を形成した。

[0052] 200mm×200mm角のセラミックグリーン積層体の両面に拘束層となるシートを積層した後、この積層体を例えば10MPaで仮圧着した。仮圧着後、例えば100MPaで積層体の本圧着を行った。本圧着によって、セラミックグリーン積層体内において積層セラミックコンデンサによってビア導体部に接続用の接続段部が形成される。本圧着後、870℃の空気雰囲気中で圧着体の焼成を行った後、未焼結の拘束層を除去して、0.5mm厚のセラミック多層基板を得た。

[0053] また、比較例1として、積層セラミックコンデンサとの接続部となる面内導体に直径0.3mmの電極パッド部を形成した以外は、実施例1と同一要領でセラミック多層基板を作製した。

[0054] [セラミック多層基板の評価]

本実施例1と比較例1の各セラミック多層基板をビア導体、電極パッドの中心を通るように切断し、外部端子電極とビア導体または電極パッドとの接続の有無を、SEM(走査型電子顕微鏡)等を用いて観察した。この結果、実施例1のセラミック多層基板の場合には、例えば図5の(a)、(b)に示す接続状態が観察され、積層セラミックコン

デンサがビア導体から多少位置ズレしていても、同図の(b)に示すように積層セラミックコンデンサの外部端子電極とビア導体が接続され、切断していないことが判った。

[0055] これに対して、比較例1の場合には積層セラミックコンデンサが電極パッドから位置ズレしていると、積層セラミックコンデンサによって電極パッドが切断されている場合があった。

[0056] 従って、外部端子電極をビア導体にその接続段部を介して接続することによってこれら両者を確実に接続することができ、接続信頼性を格段に高められることが判った。本実施例では、印刷電極は厚みが数 μm 程度であるため、積層セラミックコンデンサの埋め込みのように数 $10\mu\text{m}$ オーダーで局所的にセラミックグリーンシートが変形する場合には配線切れが起こり易かったが、ビア導体は厚みがシート厚と同等以上の円柱状であるため、切断を生じることはない。

[0057] 実施例2

本実施例では、実施例1と同様の材料を用いて実施例1と同一要領でセラミック多層基板を作製した。但し、本実施例では、内蔵させる積層セラミックコンデンサとして、セラミック焼結体(サイズ:1.6mm×0.8mm×0.5mm、内部電極:Ni、容量規格:1 μF)からなり、その両端にAgを主成分とする導電性ペーストを塗布、焼付けして外部端子電極部が形成されているものを用いた。そして、図6に示すように、セラミック多層基板10の上面に表面実装部品20として集積回路素子(IC)を配置し、ICの直下にバイパスコンデンサとして積層セラミックコンデンサ13を配置した。積層セラミックコンデンサ13の一方の外部端子電極13Aを、ビア導体12Bを介してICの電源部に直接接続し、積層セラミックコンデンサ13の他方の外部端子電極13Aをセラミック多層基板10内に形成されたグランド層として形成された面内導体12Aにビア導体12Bを介して接続した。積層セラミックコンデンサ13の外部端子電極13A、13Aは、いずれもビア導体12B、12Bに対して接続段部12C、12Cを介して接続されていた。

[0058] 通常、バイパスコンデンサは基板上から見てICの外側に配置せざるを得ないため、基板内から基板上のバイパスコンデンサに配線を引き回して接続していた。本実施例では、ICとバイパスコンデンサである積層セラミックコンデンサ13とをビア導体12B

を介して直接接続しているため、両者間のインピーダンスを可能な限り低くすることができる。しかも、積層セラミックコンデンサ13の外部端子電極13Aは、ビア導体12Bとその接続段部12Cを介して接続されているため、その接続信頼性を高めることができる。

[0059] 実施例3

本実施例では、低温焼結セラミック材料に用いられる焼結助材の添加量を変化させて拘束層に添加することによって、セラミックグリーンシートの積層体に対する拘束層の密着力を変化させ、表1に示すように積層体の平面方向の収縮量を制御した以外は実施例1と同一要領でセラミック多層基板を作製した。

[0060] 次いで、X線探傷法を用いてセラミック多層基板について基板及び積層セラミックコンデンサにクラックが発生しているか否かを観察した。この結果、表1に示すように、セラミック積層体の収縮量が−5%を超えてマイナス側に大きくなると、内蔵積層セラミックコンデンサにクラックが検出され、その収縮量が+5%を超えて大きくなると内蔵積層セラミックコンデンサ及びセラミック積層体自体にもクラックが検出された。

[0061] [表1]

焼結助材の含有量(重量%)	収縮量(%)	部品、基板への影響	200mm基板中クラックのあった部品数 (個/4000個)
1.7	−5.1	部品にクラック	241
1.6	−5.0	問題なし	0
1.4	−4.0	問題なし	0
1.2	−2.0	問題なし	0
1.0	−1.0	問題なし	0
0.5	0	問題なし	0
0.3	+1.0	問題なし	0
0.2	+3.0	問題なし	0
0.1	+5.0	問題なし	0
0.0	+5.1	基板、部品にクラック	165

[0062] 表1に示す結果によれば、セラミック層の収縮量が±5%を超えると積層セラミックコンデンサとビア導体とが切断することなく接続されても、積層セラミックコンデンサ及び／またはセラミック積層体にクラックが発生することが判った。従って、拘束層への焼結助材の添加量は、±5%の範囲内の収縮量を示す、0.1〜1.6重量%に設定することが好ましいことが判った。

[0063] 尚、本発明は、上記各実施形態に何等制限されるものではなく、本発明の趣旨に

反しない限り、本発明に含まれる。

産業上の利用可能性

[0064] 本発明は、電子機器などに使用されるセラミック多層基板及びその製造方法に好適に利用することができる。

請求の範囲

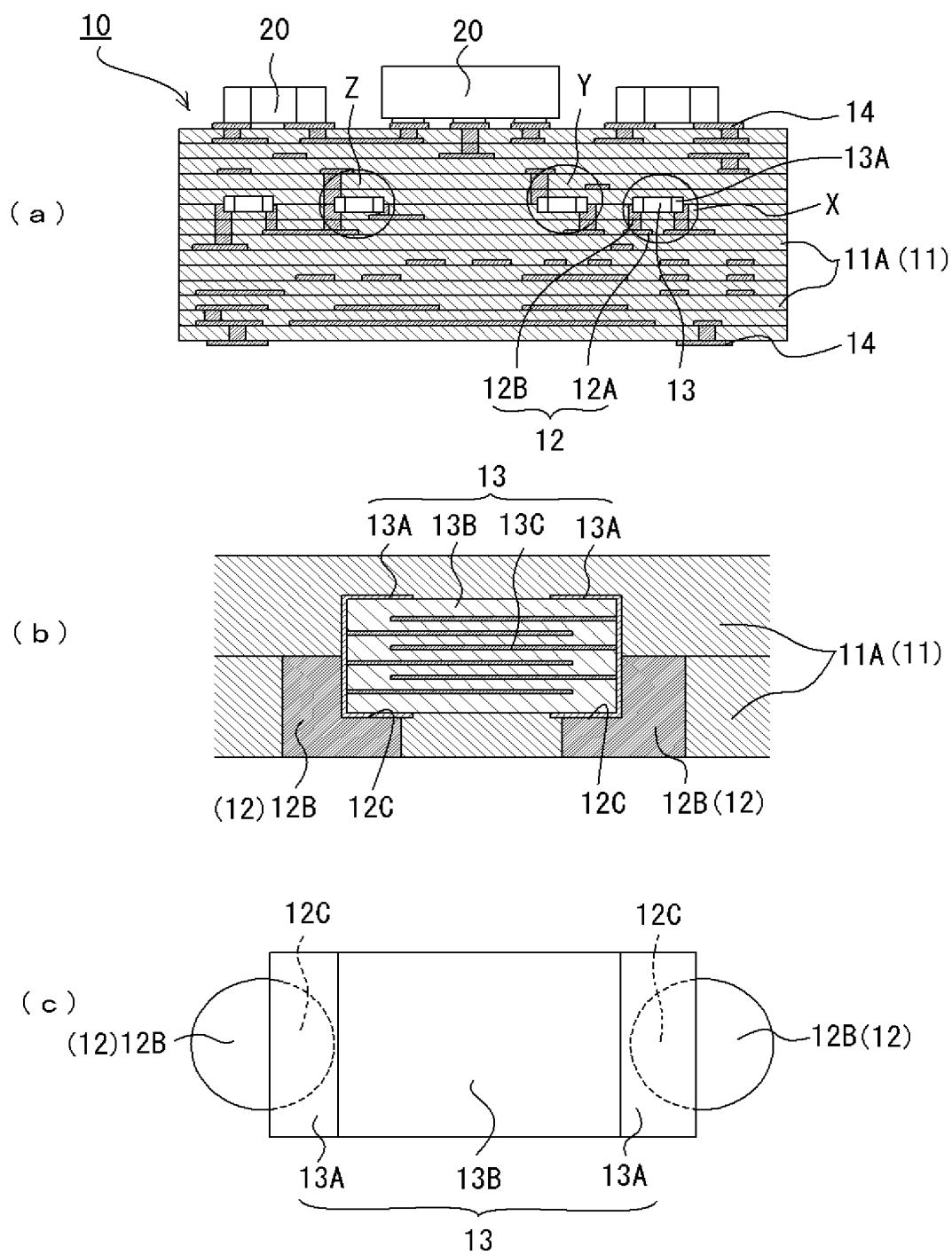
- [1] 複数の誘電体層が積層されてなる積層体と、この積層体内に埋設され且つ端子電極を有するチップ型電子部品と、を備え、上記誘電体層に、その積層方向にビア導体を設けた、チップ型電子部品を内蔵した多層基板であって、
上記チップ型電子部品の端子電極は、上記ビア導体の上下の端面のうち、少なくともいずれか一方の端面に接続されており、且つ、上記ビア導体に接続段部が形成されていることを特徴とするチップ型電子部品を内蔵した多層基板。
- [2] 上記誘電体層はセラミック層であり、上記積層体は複数の上記セラミック層が積層されてなるセラミック積層体であって、上記チップ型電子部品は、セラミック焼結体を素体とするものであることを特徴とする請求項1に記載のチップ型電子部品を内蔵した多層基板。
- [3] 上記セラミック層は、低温焼結セラミック材料によって形成され、且つ、上記ビア導体は、銀または銅を主成分とする導体材料によって形成されていることを特徴とする請求項2に記載のチップ型電子部品を内蔵した多層基板。
- [4] ビア導体を有する誘電体層の上に、端子電極を有するチップ型電子部品の端子電極を上記ビア導体と接するように配置する工程と、
上記チップ型電子部品が配置された誘電体層と他の誘電体層とを重ね合わせて、上記チップ型電子部品が内蔵された積層体を形成する工程と、
を備えたことを特徴とするチップ型電子部品を内蔵した多層基板の製造方法。
- [5] 上記誘電体層をセラミックグリーン体とし、上記チップ型電子部品を、セラミック焼結体を素体とするものとし、このチップ型電子部品が配置されたセラミックグリーン体を他のセラミックグリーン体と共に重ね合わせて、上記チップ型電子部品が内蔵されたセラミックグリーン積層体を形成し、このセラミックグリーン積層体を焼成すること特徴とする請求項4に記載のチップ型電子部品を内蔵した多層基板の製造方法。
- [6] 上記他のセラミックグリーン体は、上記チップ型電子部品の端子電極と接するビア導体を有すること特徴とする請求項5に記載のチップ型電子部品を内蔵した多層基板の製造方法。
- [7] 上記セラミックグリーン体を低温焼結セラミック材料によって形成する工程と、

上記セラミックグリーン積層体の内部に銀または銅を主成分とする導体パターンを形成する工程と、

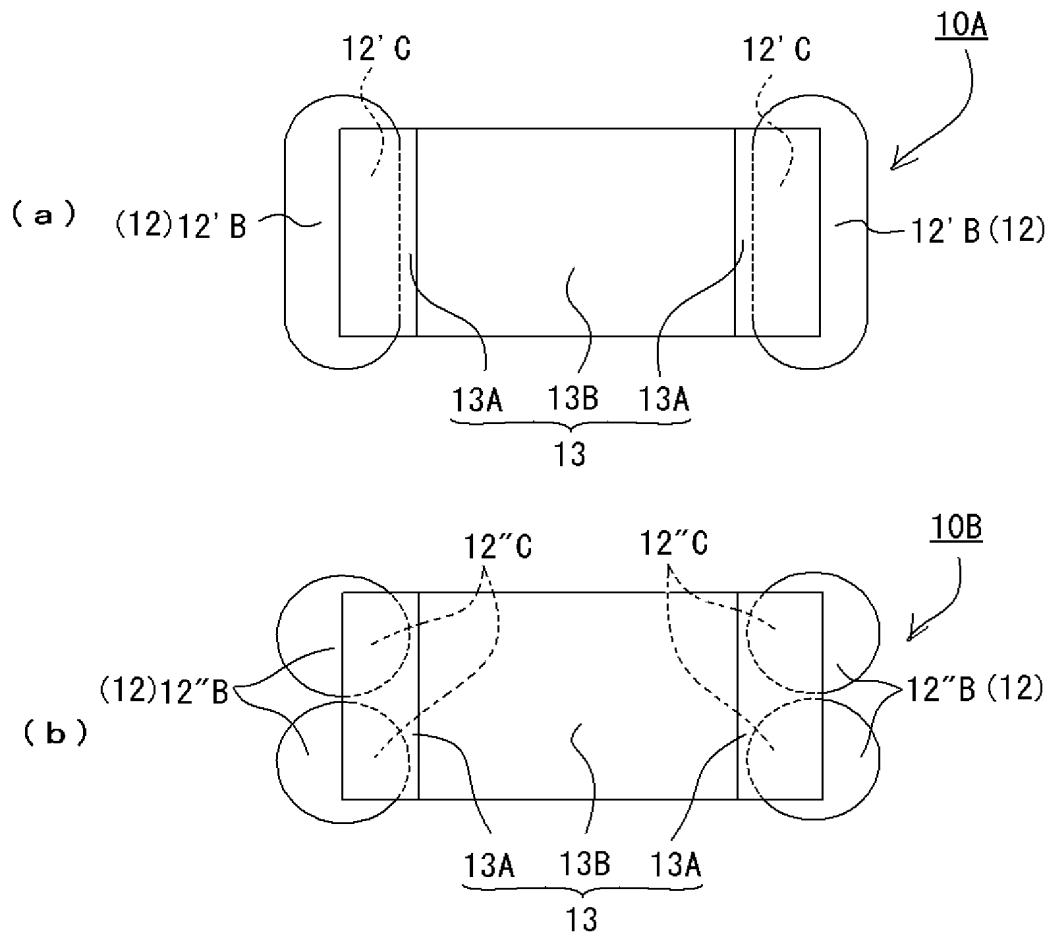
を備えたこと特徴とする請求項5または請求項6に記載のチップ型電子部品を内蔵した多層基板の製造方法。

- [8] 上記セラミックグリーン積層体の内部または表面に、上記セラミックグリーン体の焼結温度では実質的に焼結しない難焼結性粉末からなる収縮抑制層を付与する工程を備えたこと特徴とする請求項5～請求項7のいずれか1項に記載のチップ型電子部品を内蔵した多層基板の製造方法。

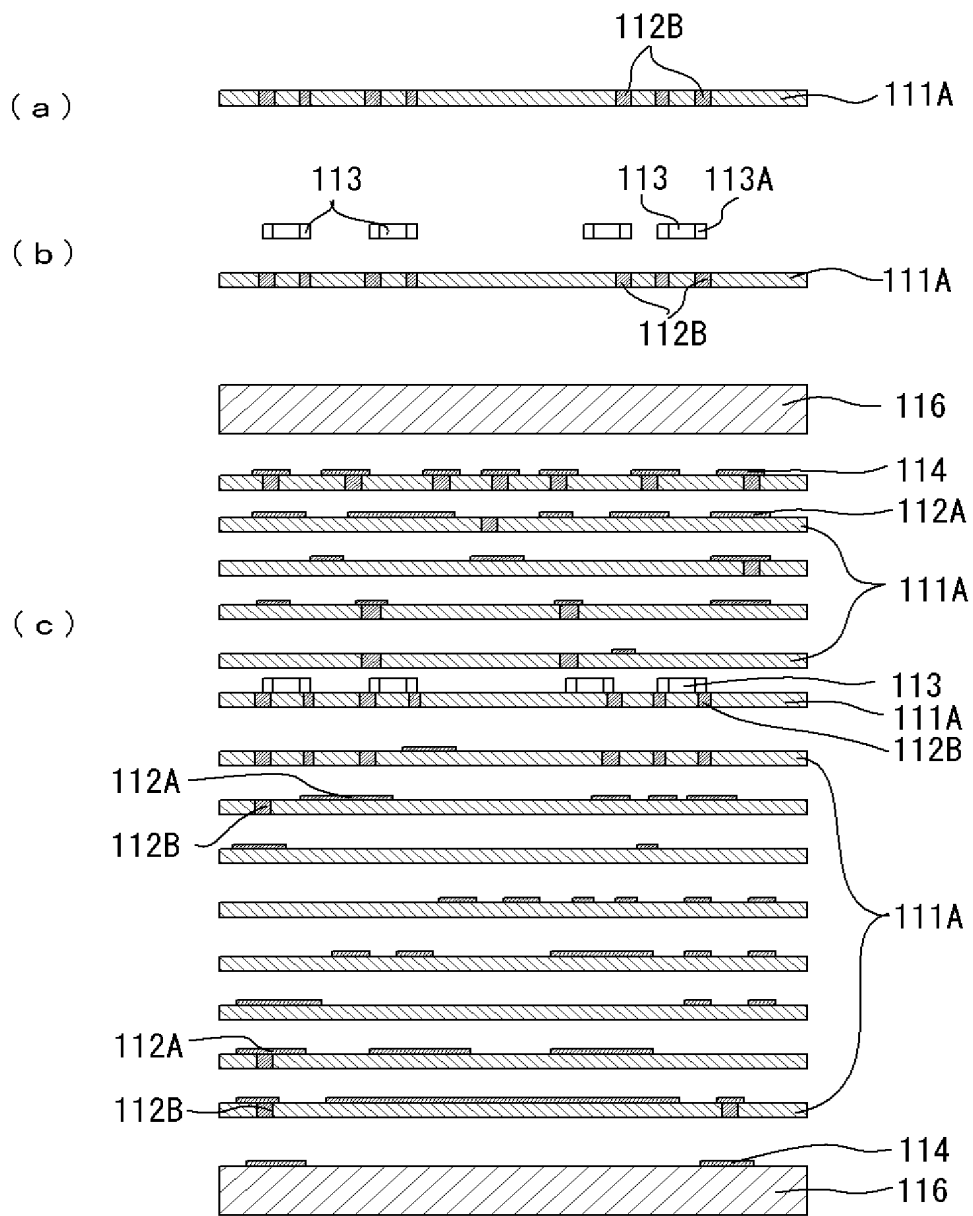
[図1]



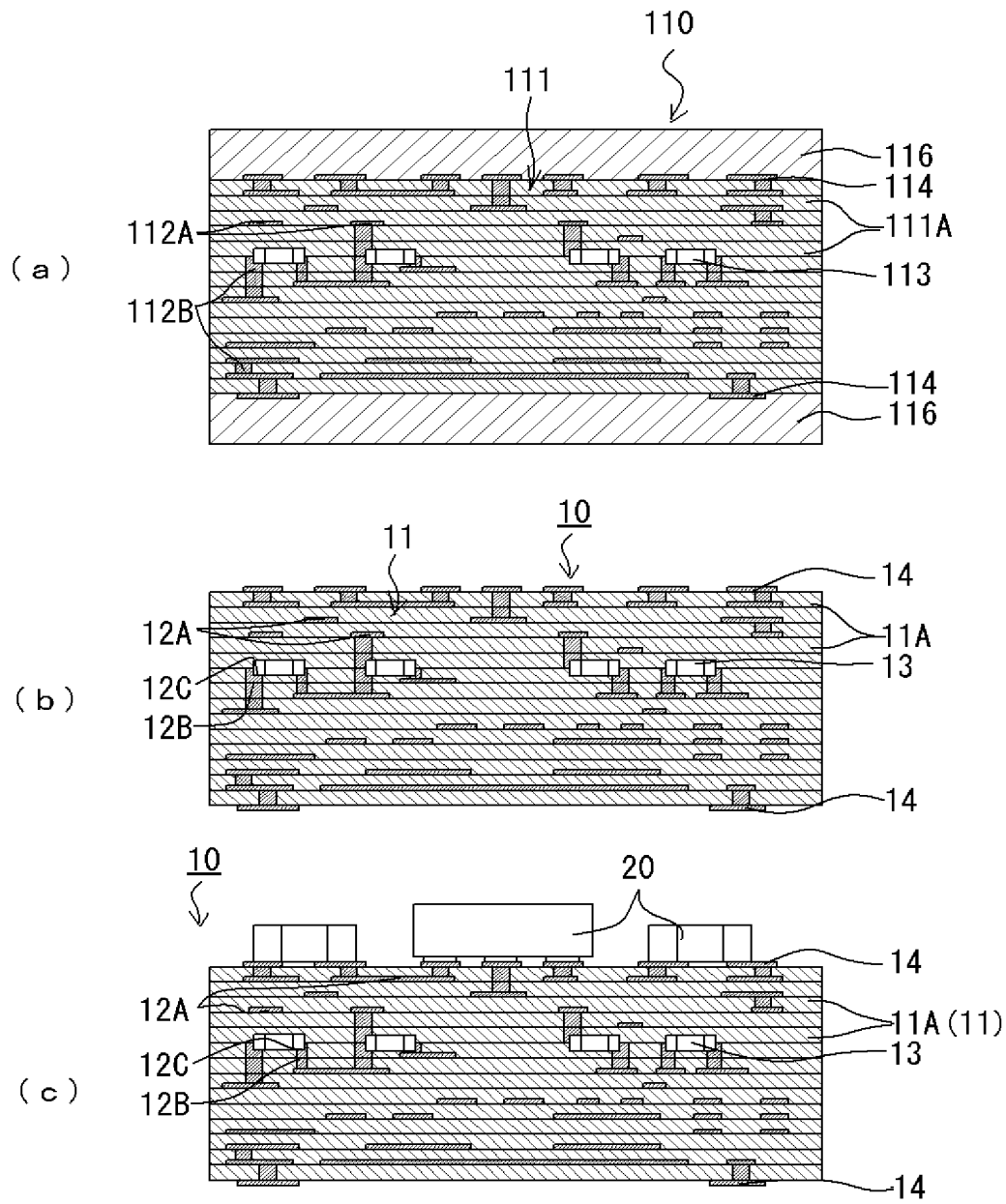
[図2]



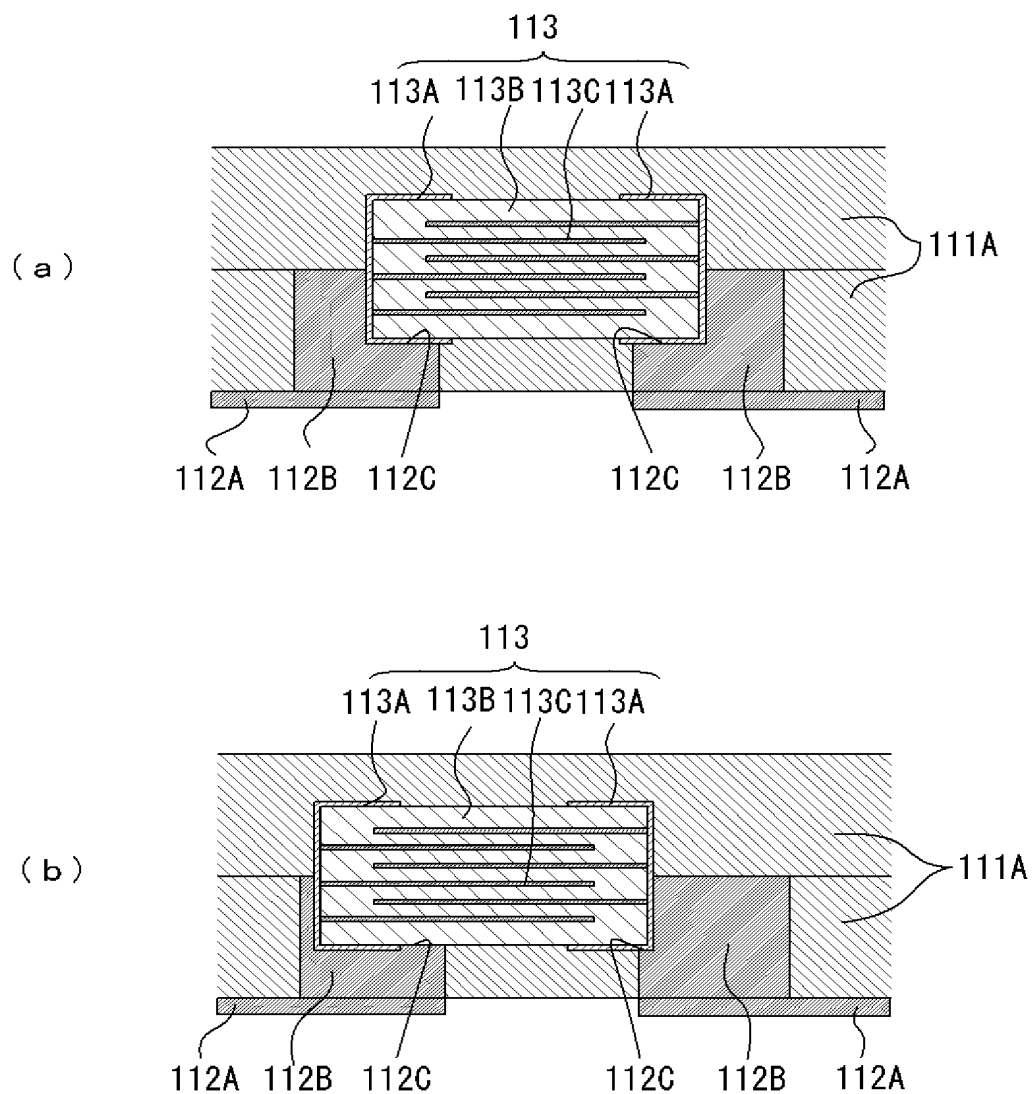
[図3]



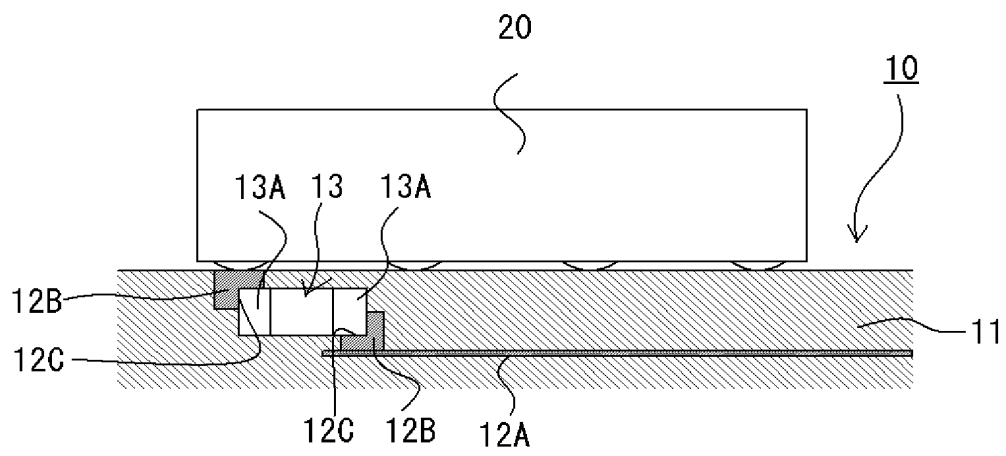
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019286

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-46215 A (Kyocera Corp.), 14 February, 2003 (14.02.03), (Family: none)	4, 6, 7 5, 8 1-3
Y	JP 2003-249414 A (Kyocera Corp.), 05 September, 2003 (05.09.03), (Family: none)	5
Y	JP 11-220261 A (Sumitomo Metal (SMI) Electronics Devices Inc.), 10 August, 1999 (10.08.99), (Family: none)	8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 January, 2006 (04.01.06)

Date of mailing of the international search report
17 January, 2006 (17.01.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H05K3/46 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H05K 3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2003-46215 A (京セラ株式会社)	4, 6, 7
Y	14.02.2003 (ファミリーなし)	5, 8
A		1-3
Y	J P 2003-249414 A (京セラ株式会社) 05.09.2003 (ファミリーなし)	5
Y	J P 11-220261 A (株式会社住友金属エレクトロデバ イス) 10.08.1999 (ファミリーなし)	8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.01.2006

国際調査報告の発送日

17.01.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

黒石 孝志

3 S

9527

電話番号 03-3581-1101 内線 3391